



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Mañana*)
CONVOCATORIA: 18 de Junio de 2007

TEST

(2.5 puntos)

En las siguientes preguntas de tipo test, **sólo existe una respuesta correcta**. Cada pregunta tiene un valor de **0,25 puntos**. Cada respuesta incorrecta descuenta **0,1 puntos**. La pregunta que deje en blanco no sumará ni restará puntos.

Notas: · Se debe poner una X sobre la letra de la **tabla "SOLUCIÓN"** (que encontrará en la última hoja) correspondiente a la respuesta correcta.

· La tabla "CALIFICACIÓN" no deberá utilizarla, es para su posterior calificación.

· No se tendrán en cuenta las respuestas que no se encuentren en dicha tabla "SOLUCIÓN"

- 1) En la ejecución de la instrucción **OUT C,A**, ¿qué microorden no participa?:
 - a) *sala*.
 - b) *salc*.
 - c) *io*.
 - d) ***cka*.
- 2) Después de una instrucción **CMP A,B**, los flags han quedado de la siguiente forma: **Fc = 0, Fs = 1, Fo = 1 y Fz = 0**. En estas condiciones, podemos decir:
 - a) En enteros sin signo se ha producido desbordamiento y $A > B$.
 - b) En enteros sin signo no ha habido desbordamiento y $A < B$.
 - c) ******En enteros con signo se ha producido desbordamiento y $A > B$.
 - d) En enteros con signo se ha producido desbordamiento y $A < B$.
- 3) Para ejecutar la instrucción **JMP BC**, ¿qué secuencia de operaciones básicas se necesita?:
 - a) ******F_{noinc}, I_{t16}.
 - b) F, F, F_{noinc}, I_{t16}.
 - c) F, F, F, I_{t16}.
 - d) F, I_{t16}.
- 4) De la instrucción **MOV A,(X+2)** podemos decir que:
 - a) Guarda el acumulador en la posición de memoria indicada por (X+2).
 - b) El valor de X se ve modificado por la suma (X+2).
 - c) ******Carga en el acumulador el dato que está en la posición de memoria apuntada por (X+2).
 - d) Ninguna de las anteriores respuestas es cierta.
- 5) Dado el siguiente fragmento de código, almacenado a partir de la posición de memoria 2000H,

AND A, A
JNC 2100H

¿cuál es el valor del PC después de ejecutar la instrucción de salto condicional?:

- a) 2004H.
- b) 2003H.
- c) ******2100H.
- d) 2002H.



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Mañana*)
CONVOCATORIA: 18 de Junio de 2007

TEST

(continuación)

- 6) Después de ejecutar la instrucción *XOR A, A...*
- a) El registro A vale 0, y los flags de *carry* y de *overflow* se activan.
 - b) A no modifica su valor, y el flag de signo vale 1 o cero.
 - c) El flag de *carry* se pone a uno y el flag de cero se activa.
 - d) ****A vale 0, y los flags de *carry* y de *overflow* se desactivan.**
- 7) En la CPU INDALO 3.0 ...
- a) ****... la pila crece hacia posiciones de memoria decrecientes.**
 - b) ... el final de pila está controlado por el contenido del registro X.
 - c) ... la pila se direcciona mediante direccionamiento absoluto.
 - d) ... la pila crece hacia posiciones de memoria crecientes
- 8) El contador de programa del Indalo 3.0 es un registro que:
- a) Se incrementa siempre al final de cada ciclo de fetch.
 - b) ****Guarda la dirección de la siguiente instrucción a ejecutar al finalizar la ejecución de la instrucción en curso.**
 - c) Se puede modificar con la instrucción MOV PC, NUEVO_VALOR.
 - d) Puede decrementarse con la instrucción DEC.
- 9) En el Indalo 3.0:
- a) ****La interrupción hardware presenta un ciclo de máquina específico.**
 - b) Sólo se pueden ejecutar interrupciones hardware.
 - c) La microórden *inta* la genera el microprocesador para rechazar la interrupción.
 - d) Existe una pila en la que se almacenan los avisos de interrupción según van apareciendo.
- 10) Siempre que se accede a memoria:
- a) Se ejecuta una operación R.
 - b) Se va a ejecutar un acceso DMA.
 - c) Se ejecuta un ciclo de Fetch.
 - d) ****Ninguna de las anteriores respuestas es correcta.**



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Mañana*)

APELLIDOS Y NOMBRE: _____
Nº DE EXPEDIENTE: _____ GRUPO: _____ CONVOCATORIA: 18 de Junio de 2007

TEST: Solución (y 1)

SOLUCIÓN

1	2	3	4	5	6	7	8	9	10
a	a	a	a	a	a	a	a	a	a
b	b	b	b	b	b	b	b	b	b
c	c	c	c	c	c	c	c	c	c
d	d	d	d	d	d	d	d	d	d

- La respuesta correcta se indicará tachando la letra correspondiente con una **X**.
- Para anular una respuesta dada, se rodeará con una circunferencia \otimes , de modo que se entenderá:

\otimes	Respuesta dada por el alumno
\otimes	Respuesta anulada por el alumno

CALIFICACIÓN

Correctas		x 0,25 =	
Erróneas		x (- 0,1) =	-
Total			



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Tarde*)
CONVOCATORIA: 18 de Junio de 2007

TEST

(2.5 puntos)

En las siguientes preguntas de tipo test, **sólo existe una respuesta correcta**. Cada pregunta tiene un valor de **0,25 puntos**. Cada respuesta incorrecta descuenta **0,1 puntos**. La pregunta que deje en blanco no sumará ni restará puntos.

Notas: · Se debe poner una **X** sobre la letra de la **tabla "SOLUCIÓN"** (que encontrará en la última hoja) correspondiente a la respuesta correcta.

· La tabla "CALIFICACIÓN" no deberá utilizarla, es para su posterior calificación.

· No se tendrán en cuenta las respuestas que no se encuentren en dicha tabla "SOLUCIÓN"

1) En la ejecución de la instrucción **IN A,C**, ¿qué microorden no participa?:

- a) ****sala.**
- b) **salc.**
- c) **io.**
- d) **cka.**

2) Del Indalo 3.0 podemos decir que:

- a) Los puertos se direccionan con los dieciséis bits del registro BC.
- b) En la instrucción **IN A,C** el destino es el puerto.
- c) ****La interrupción hardware genera un tipo exclusivo de ciclo de máquina.**
- d) Las instrucciones **CALL addr** y **JMP addr** son exactamente iguales.

3) Para ejecutar la instrucción **JMP addr**, ¿qué secuencia de operaciones básicas se necesita?:

- a) **F_{noinc}, I_{t16}.**
- b) ****F, F, F_{noinc}, I_{t16}.**
- c) **F, F, F, I_{t16}.**
- d) **F, I_{t16}.**

4) Durante una transferencia de DMA:

- a) Si se produce una interrupción hardware, será atendida inmediatamente.
- b) La CPU puede interrumpir la transferencia según el valor de los flags.
- c) La CPU mantiene activada la señal HOLD hasta que finalice la transferencia.
- d) ****El control de los buses no lo tiene la CPU.**

5) Dado el siguiente fragmento de código, almacenado a partir de la posición de memoria 1000H,

XOR A, A
JO 1100H

¿cuál es el valor del PC después de ejecutar la instrucción de salto condicional?:

- a) ****1003H.**
- b) **1100H.**
- c) **1004H.**
- d) **1002H.**



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Tarde*)
CONVOCATORIA: 18 de Junio de 2007

TEST

(continuación)

6) La ejecución de la instrucción *AND A, A* ...

- a) Pone los 8 bits de A, y el flag Fz a cero.
- b) **Deja A con el mismo valor que tenía, y los flags de *carry* y de *overflow* a 0.
- c) Pone el valor 0FFH en A, y los flags de *carry* y de *overflow* a 0.
- d) Pone en A el valor doble del que había en un principio.

7) Las instrucciones que introducen datos en la pila dejan, al terminar, el puntero de pila ...

- a) ... incrementado en dos unidades.
- b) ... incrementado en una unidad (a diferencia de las instrucciones que guardan direcciones en la pila, que lo dejan incrementado en dos unidades).
- c) ... decrementado en una unidad.
- d) **... decrementado en dos unidades.

8) Los ciclos de Fetch del Indalo 3.0:

- a) Pueden ser de lectura y de escritura.
- b) Son lecturas en memoria y lecturas en periféricos
- c) **Son lecturas de instrucciones ensambladas en memoria.
- d) No son utilizados por algunas instrucciones.

9) En una instrucción *MOV* del Indalo 3.0:

- a) Es posible realizar una transferencia de 8 bits a través de ABUS.
- b) Sus operandos nunca pueden ser dos registros.
- c) **Uno de sus operandos siempre es un registro.
- d) El registro destino puede ser el PC.

10) La instrucción *INT 03FH*:

- a) Es una interrupción hardware.
- b) Condiciona su ejecución al estado de la máscara de interrupción.
- c) **Efectúa una lectura en las direcciones 0007EH y 0007FH.
- d) Equivale a un salto incondicional.



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

FUNDAMENTOS DE COMPUTADORES (*Teoría. Examen Final. Tarde*)

APELLIDOS Y NOMBRE: _____
Nº DE EXPEDIENTE: _____ GRUPO: _____ CONVOCATORIA: 18 de Junio de 2007

TEST: Solución (y 1)

SOLUCIÓN

1	2	3	4	5	6	7	8	9	10
a	a	a	a	a	a	a	a	a	a
b	b	b	b	b	b	b	b	b	b
c	c	c	c	c	c	c	c	c	c
d	d	d	d	d	d	d	d	d	d

- La respuesta correcta se indicará tachando la letra correspondiente con una **X**.
- Para anular una respuesta dada, se rodeará con una circunferencia \otimes , de modo que se entenderá:

\otimes	Respuesta dada por el alumno
\otimes	Respuesta anulada por el alumno

CALIFICACIÓN

Correctas		x 0,25 =	
Erróneas		x (- 0,1) =	-
Total			